

for IJS

1/1 PLUSPAT - (C) QUESTEL-ORBIT- image
PN - JP8182332 A 19960712 [JP08182332]
PN2 - JP3400160 B2 20030428 [JP3400160]
TI - (A) SWITCHING POWER SOURCE
PA - (A) SHINDENGEN ELECTRIC MFG
PA0 - (A) SHINDENGEN ELECTRIC MFG CO LTD
IN - (A) KOBAYASHI YOSHINORI; SEKINE YUTAKA; WATANABE HARUO
AP - JP33539394 19941222 [***1994JP-0335393***]
PR - JP33539394 19941222 [1994JP-0335393]
STG - (A) Doc. Laid open to publ. Inspec.
STG2 - (B2) Grant. Pat. With A from 2500000 on
AB - PURPOSE: To use a small on-resistance element for a switching power source by connecting the primary winding of a transformer between the connecting point of first and second switching elements and the connecting point of third and fourth switching elements, connecting the secondary winding of the transformer to a rectifying and smoothing circuit, and providing a control circuit for controlling first to fourth switches which control the output of the switching power source to a prescribed voltage.
- CONSTITUTION: The numbers of turns of the primary winding 41, first secondary winding 42, second secondary winding 44, and control winding 45 of a transformer 40 are respectively set at N1, N2-1, N2-2, and N4 and the potentials at points (a) and (b) in the transformer 40 are respectively adjusted to Va and Vb. In case the numbers of turns of the first and control windings 41 and 45 are set to N1=N4, the voltage Vb of a smoothing capacitor 30 is applied across the primary winding 41 of the transformer 40 when switching elements 51 and 54 are turned on and switching elements 52 and 53 are turned off by means of a control circuit. Although a voltage which becomes VbXN4/N1 is generated across the control winding 45 of the transformer 40, the voltage becomes equal to Vb, because N1=N4. Therefore, switching elements having lower withstand voltages and smaller on-resistances can be used.
- COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-182332

(43)公開日 平成8年(1996)7月12日

(51) Int.Cl. ⁶ H 02 M 7/217 3/335 3/337	識別記号 9472-5H	序内整理番号 F I	技術表示箇所
---	-----------------	---------------	--------

審査請求 未請求 請求項の数11 FD (全 20 頁)

(21)出願番号 特願平6-335393	(22)出願日 平成6年(1994)12月22日
-------------------------	-----------------------------

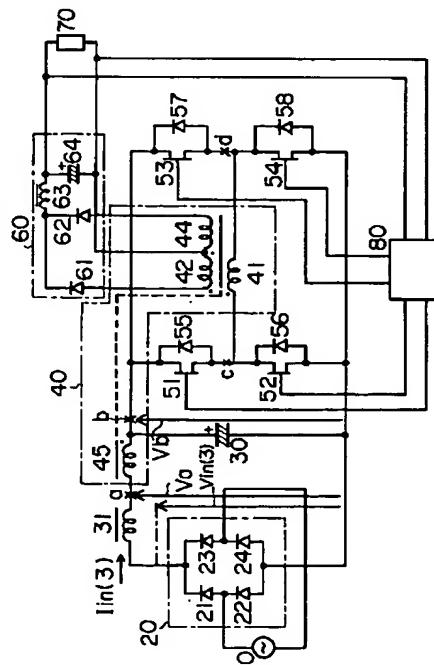
(71)出願人 新電元工業株式会社 東京都千代田区大手町2丁目2番1号	(72)発明者 渡辺 喬夫 埼玉県飯能市南町10番13号 新電元工業株式会社工場内	(72)発明者 小林 義則 埼玉県飯能市南町10番13号 新電元工業株式会社工場内	(72)発明者 関根 豊 埼玉県飯能市南町10番13号 新電元工業株式会社工場内	(74)代理人 弁理士 大塚 学
---	---	---	--	---------------------

(54)【発明の名称】スイッチング電源

(57)【要約】

【目的】交流を入力とするスイッチング電源に関し、効率を高めると共に、スイッチ素子に印加される電圧を低くし、高効率のスイッチング電源を提供する。

【構成】交流電源に接続された全波整流器20と、全波整流器20の出力に接続された平滑コンデンサ30と、平滑コンデンサ30の両端間に接続された2組の2個直列のスイッチ素子51～54と、このスイッチ素子のそれぞれに並列に接続されたダイオード55～58と、前記2組のスイッチ素子の各組のそれぞれの接続点との間に1次巻線41が接続されたトランス40と、トランス40の2次巻線42に接続された整流平滑回路60と、整流平滑回路60の出力電圧が所定の電圧になるように前記各スイッチ素子を制御する制御回路80と、全波整流器20と平滑コンデンサ30との間に接続されたインダクタ31とトランス40の制御巻線45との直列回路とを備えている。



【特許請求の範囲】

【請求項1】 交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された平滑コンデンサと、該平滑コンデンサの端子間に接続された第1のスイッチ素子と第2のスイッチ素子との直列回路および第3のスイッチ素子と第4のスイッチ素子との直列回路と、前記第1のスイッチ素子、第2のスイッチ素子、第3のスイッチ素子および第4のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記第1のスイッチ素子と第2のスイッチ素子の接続点と前記第3のスイッチ素子と第4のスイッチ素子の接続点との間に1次巻線が接続されたトランスと、該トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1乃至第4のスイッチ素子を制御する制御回路と、前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源。

【請求項2】 前記トランスの制御巻線に直列に接続されたコンデンサと、該制御巻線とコンデンサとの直列回路に並列に接続されたダイオードとを備えた請求項1記載のスイッチング電源。

【請求項3】 前記第1乃至第4のスイッチ素子にそれぞれ並列に接続されたコンデンサを備えた請求項1または2記載のスイッチング電源。

【請求項4】 交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された第1の平滑コンデンサと第2の平滑コンデンサとの直列回路と、該第1の平滑コンデンサと第2の平滑コンデンサとの直列回路に並列に接続された第1のスイッチ素子と第2のスイッチ素子との直列回路と、前記第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記第1の平滑コンデンサと第2の平滑コンデンサとの接続点と前記第1のスイッチ素子と第2のスイッチ素子との接続点との間に1次巻線が接続されたトランスと、該トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1および第2のスイッチ素子を制御する制御回路と、前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源。

【請求項5】 交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された平滑コンデンサと、

該平滑コンデンサの端子間に接続された第1のスイッチ素子と第2のスイッチ素子との直列回路と、

該第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたダイオードと、

05 前記第1のスイッチ素子と第2のスイッチ素子との接続点と前記平滑コンデンサの一方の端子との間に接続されたトランスの1次巻線とコンデンサとの直列回路と、該トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、

10 該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1および第2のスイッチ素子を制御する制御回路と、

前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源。

【請求項6】 交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された平滑コンデンサと、

該平滑コンデンサの端子間に接続されたトランスの第1の1次巻線と第1のスイッチ素子との直列回路および前記トランスの第2の1次巻線と第2のスイッチ素子との直列回路と、

前記第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたダイオードと、

25 前記トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1および第2のスイッチ素子を制御する制御回路と、

30 前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源。

【請求項7】 前記トランスの制御巻線に直列に接続されたコンデンサと、該制御巻線とコンデンサとの直列回路に並列に接続されたダイオードとを備えた請求項4, 5または6記載のスイッチング電源。

【請求項8】 前記第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたコンデンサを備えた請求項4, 5, 6または7記載のスイッチング電源。

【請求項9】 交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された第1の平滑コンデンサと第2の平滑コンデンサとの直列回路と、

該第1の平滑コンデンサと第2の平滑コンデンサとの直列回路に並列に接続された第1のスイッチ素子と第2のスイッチ素子との直列回路と、

前記第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたダイオードと、

前記第1のスイッチ素子と第2のスイッチ素子との接続点と前記平滑コンデンサの一方の端子との間に接続され

たトランスの1次巻線とコンデンサとの直列回路と、該トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1および第2のスイッチ素子を制御する制御回路と、前記全波整流器の一方の出力端子と前記第1の平滑コンデンサと第2の平滑コンデンサとの直列回路の一方の端子間に接続された第1のインダクタと前記トランスの第1の制御巻線との直列回路と、前記全波整流器の他方の出力端子と前記第1の平滑コンデンサと第2の平滑コンデンサとの直列回路の他方の端子間に接続された第2のインダクタと前記トランスの第2の制御巻線との直列回路と、前記交流電源の一方の端子と前記第1の平滑コンデンサと第2の平滑コンデンサとの接続点との間に接続されたスイッチとを備えたスイッチング電源。

【請求項10】前記トランスの第1の制御巻線および第2の制御巻線にそれぞれ直列に接続されたコンデンサと、該第1の制御巻線とコンデンサとの直列回路および該第2の制御巻線とコンデンサとの直列回路にそれぞれ並列に接続されたダイオードとを備えた請求項9記載のスイッチング電源。

【請求項11】前記第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたコンデンサを備えた請求項9または10記載のスイッチング電源。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、交流を入力とするスイッチング式直流安定化電源装置に関するものである。

【0002】

【従来の技術】図23は従来の交流入力のスイッチング電源の第1の構成を示す。この従来の交流入力のスイッチング電源の構成は、商用交流電源10、ダイオード21、22、23、24から構成された全波整流器20、平滑コンデンサ30、1次巻線41と2次巻線42とを有するトランス40、スイッチ素子50、整流平滑回路60、負荷70、制御回路80よりなる。この従来の交流入力のスイッチング電源の第1の構成の動作は、商用交流電源10の入力を全波整流器20で整流し、平滑コンデンサ30でリップルの少ない直流に平滑した後、スイッチ素子50を入力商用交流周波数より高い周波数でオン、オフすることによって、トランス40の1次巻線41に交流電圧が与えられ、その出力は、トランス40の2次巻線42から整流平滑回路60に与えられて整流平滑し、直流の出力電圧として負荷70に与える。ここで、制御回路80は、整流平滑回路60の出力電圧を検出して、それが所定の電圧となるように、スイッチ素子50をオン、オフする。以上のように、本構成は、商用交流電源10の入力を安定な直流電圧に変換し、出力す

る機能を持っている。図24に図23に示した従来の交流入力のスイッチング電源の動作波形を示す。同図

(a)の V_{in} (1)は商用交流電源1の電圧に対する全波整流器20の出力電圧を示し、同図 (b) の I_{in} (1)は商用交流電源1からの入力電流の波形を示す。同図からわかるように、この従来例では、入力電流がサージ状になり、力率が極めて低いという問題がある。そこで、本願発明者等は、図25に示すスイッチング電源を発明し、特願平5-177379号(以下先願発明という)として特許出願している回路である。この図25の先願発明のスイッチング電源の回路は、全波整流器20と平滑コンデンサ30との間に、インダクタ31とトランス40の制御巻線45との直列回路を設けたもので、図26に示した入力電圧と電流の波形図から明らかなように、力率の高いスイッチング電源となっている。

【0003】

【発明が解決しようとする課題】しかしながら、図23の従来の交流入力のスイッチング電源や、図25の先願発明の回路では、スイッチ素子50がオフの期間に、その端子間には、平滑コンデンサ30の電圧の約2倍の電圧が印加され、スイッチ素子として高耐圧のものを使わなければならず、そのために、スイッチ素子のオン抵抗が大きくなり、スイッチ素子の導通損が増えてスイッチング電源としての効率を高くすることが難しいという問題がある。本発明は、上記の点を鑑みなされたもので、力率を先願発明と同様に高力率としながら、スイッチ素子として、より低い耐圧で、オン抵抗の小さいものを用いることのできる構成として、スイッチング電源としての効率を高くすることを目的としている。

【0004】

【課題を解決するための手段】本発明の主たる第1の発明は、交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された平滑コンデンサと、該平滑コンデンサの端子間に接続された第1のスイッチ素子と第2のスイッチ素子との直列回路および第3のスイッチ素子と第4のスイッチ素子との直列回路と、前記第1のスイッチ素子、第2のスイッチ素子、第3のスイッチ素子および第4のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記第1のスイッチ素子と第2のスイッチ素子の接続点と前記第3のスイッチ素子と第4のスイッチ素子の接続点との間に1次巻線が接続されたトランスと、該トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1乃至第4のスイッチ素子を制御する制御回路と、前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源である。

【0005】

本発明の主たる第2の発明は、交流電源に

接続された全波整流器と、該全波整流器の出力端子間に接続された第1の平滑コンデンサと第2の平滑コンデンサとの直列回路と、該第1の平滑コンデンサと第2の平滑コンデンサとの直列回路に並列に接続された第1のスイッチ素子と第2のスイッチ素子との直列回路と、前記第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記第1の平滑コンデンサと第2の平滑コンデンサとの接続点と前記第1のスイッチ素子と第2のスイッチ素子との接続点との間に1次巻線が接続されたトランスと、該トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1および第2のスイッチ素子を制御する制御回路と、前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源である。

【0006】本発明の主たる第3の発明は、交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された平滑コンデンサと、該平滑コンデンサの端子間に接続された第1のスイッチ素子と第2のスイッチ素子との直列回路と、該第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記第1のスイッチ素子と第2のスイッチ素子との接続点と前記平滑コンデンサの一方の端子との間に接続されたトランスの1次巻線とコンデンサとの直列回路と、該トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1および第2のスイッチ素子を制御する制御回路と、前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源である。

【0007】本発明の主たる第4の発明は、交流電源に接続された全波整流器と、該全波整流器の出力端子間に接続された平滑コンデンサと、該平滑コンデンサの端子間に接続されたトランスの第1の1次巻線と第1のスイッチ素子との直列回路および前記トランスの第2の1次巻線と第2のスイッチ素子との直列回路と、前記第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1および第2のスイッチ素子を制御する制御回路と、前記全波整流器と前記平滑コンデンサとの間に接続されたインダクタと前記トランスの制御巻線との直列回路とを備えたスイッチング電源である。

【0008】本発明の主たる第5の発明は、交流電源に接続された全波整流器と、該全波整流器の出力端子間に

接続された第1の平滑コンデンサと第2の平滑コンデンサとの直列回路と、該第1の平滑コンデンサと第2の平滑コンデンサとの直列回路に並列に接続された第1のスイッチ素子と第2のスイッチ素子との直列回路と、前記第1のスイッチ素子および第2のスイッチ素子にそれぞれ並列に接続されたダイオードと、前記第1のスイッチ素子と第2のスイッチ素子との接続点と前記平滑コンデンサの一方の端子との間に接続されたトランスの1次巻線とコンデンサとの直列回路と、該トランスの2次巻線に接続されると共にその出力側に負荷が接続される整流平滑回路と、該整流平滑回路の出力電圧を検出して当該出力電圧が所定の電圧になるように前記第1および第2のスイッチ素子を制御する制御回路と、前記全波整流器の一方の出力端子と前記第1の平滑コンデンサと第2の平滑コンデンサとの直列回路の一方の端子間に接続された第1のインダクタと前記トランスの第1の制御巻線との直列回路と、前記全波整流器の他方の出力端子と前記第1の平滑コンデンサと第2の平滑コンデンサとの直列回路の他方の端子間に接続された第2のインダクタと前記トランスの第2の制御巻線との直列回路と、前記交流電源の一方の端子と前記第1の平滑コンデンサと第2の平滑コンデンサとの接続点との間に接続されたスイッチとを備えたスイッチング電源である。

【0009】
【実施例】図1は、本発明の第1の実施例である。この実施例の構成は、商用交流電源10、ダイオード21、22、23、24から構成された全波整流器20、平滑コンデンサ30、インダクタ31、1次巻線41、第1の2次巻線42、第2の2次巻線44および制御巻線45を有するトランス40、第1のスイッチ素子51、第2のスイッチ素子52、第3のスイッチ素子53、第4のスイッチ素子54、第1乃至第4のスイッチにそれぞれ並列接続されたダイオード55、56、57、58、ダイオード61、62、インダクタ63およびコンデンサ64から構成されている整流平滑回路60、負荷70、制御回路80よりなる。次に、この実施例の動作を説明する。

【0010】まず、トランス40の各巻線の巻数をそれぞれ1次巻線41がN1、第1の2次巻線42がN2-1、第2の2次巻線44がN2-2、制御巻線45がN4とし、図1の中でa点、b点の電位をそれぞれV_a、V_bとする。ここで、N1=N4に設定すると、制御回路80によりスイッチ素子51と54がオンで、スイッチ素子52と53がオフの時、トランス40の1次巻線41には、平滑コンデンサ30の電圧、即ちV_bが印加される。この時、トランス40の制御巻線45には、V_b×N4/N1なる電圧が発生するが、N1=N4と設定してあるため、これはV_bに等しい電圧となる。従って、a点の電圧V_aは、平滑コンデンサ30の電圧V_bからトランス40の制御巻線45の発生電圧V_bを差し

引くと、零ボルトになる。即ちスイッチ素子51と54がオンで、スイッチ素子52と53がオフの時にはa点の電位は常に零ボルトになる。

【0011】また、この時の回路の中の電流の流れは、第1に平滑コンデンサ30から第1のスイッチ素子51、トランス40の1次巻線41、第1の2次巻線42、整流回路60と負荷70を経由してトランス40の1次巻線41へもどり、第4のスイッチ素子54を流れ、これによって平滑コンデンサ30のエネルギーを負荷70へ送っている。また、この時にはa点の電圧 V_a は常に零ボルトになるので、インダクタ31には、入力電圧 $V_{in}(3)$ が印加され、インダクタ31のインダクタスを L_{31} 、インダクタ31を流れる電流を I_{L-1} とし、スイッチ素子51と54がオンしてからの時間を t とすると、

【数1】

$$I_{L-1} = \frac{V_{in}(3)}{L_{31}} \cdot t \quad \dots \dots \dots (1)$$

で決定される電流がインダクタ31を流れる。この電流は、まず、トランス40の制御巻線45を流れ、平滑コンデンサ30を通って、商用交流電源10と全波整流器20を通り、インダクタ31にもどる経過で流れ、この期間に商用交流電源10のエネルギーがインダクタ31に蓄えられる。

【0012】次に、制御回路80により第1のスイッチ素子51と第4のスイッチ素子54をオフにすると、トランス40の励磁電流がトランス40の1次巻線41から第3のダイオード57、平滑コンデンサ30、第2のダイオード56を通って1次巻線41にもどる経過で流

$$I_{L-2} = \frac{V_{in}(3)}{L_{31}} \cdot t_1 - \frac{V_b \times \frac{N_4}{N_1} - V_{in}(3)}{L} \cdot t_2 \quad \dots \dots \dots (2)$$

で決定される電流が、インダクタ31からトランス40の制御巻線45を流れ、平滑コンデンサ30を通って商用交流電源10と、全波整流器20を通り、インダクタ31にもどる経路で流れ、この期間にインダクタ31に蓄えられたエネルギーが平滑30に送られる。

【0014】次に、制御回路80により第2のスイッチ素子52と第3のスイッチ素子53をオフにすると、トランス40の励磁電流がトランス40の1次巻線41から第1のダイオード55、平滑コンデンサ30、第4のダイオード58を通って1次巻線41にもどる経過で流れ。そこで、c点の電位は平滑コンデンサ30の正極側の電位とほぼ同じくなり、一方d点の電位は平滑コンデンサ30の負極側の電位とほぼ同じくなる。そのため、第2のスイッチ素子52と第3のスイッチ素子53に印加される電圧は、平滑コンデンサ30の端子間電圧 V_b とほぼ同じくなる。また、この期間にトランス40

れる。そこでc点の電位は平滑コンデンサ30の負極側の電位とほぼ同じくなり、一方d点の電位は平滑コンデンサ30の正極側の電位とほぼ同じくなる。そのため、第1のスイッチ素子51と第4のスイッチ素子54に印加される電圧は、平滑コンデンサ30の端子間電圧 V_b とほぼ同じくなる。また、この期間にトランス40の1次巻線41には、 $-V_b$ の電圧が印加され、トランス40の制御巻線45には、 $-V_b \times N_4 / N_1$ なる電圧が発生している。

【0013】次に、制御回路80により第1のスイッチ素子51と第4のスイッチ素子54がオフのままで、第2のスイッチ素子52と第3のスイッチ素子53とをオンさせると、トランス40の1次巻線41には引き続き $-V_b$ の電圧が印加され、トランス40の制御巻線45には、 $-V_b \times N_4 / N_1$ なる電圧が発生する。また、この時の回路の中の電流の流れは、第1に平滑コンデンサ30から第3のスイッチ素子53、トランス40の1次巻線41、第2の2次巻線44、整流平滑回路60と、負荷を経由してトランス40の1次巻線41へもどり、第2のスイッチ素子52を流れ、これによって平滑コンデンサ30のエネルギーが負荷70に送られる。また、このトランス40の1次巻線41に $-V_b$ の電圧が印加され、トランス40の制御巻線45にも $-V_b \times N_4 / N_1$ なる電圧が発生している。そのため、この期間には、インダクタ31には入力電圧 $V_{in}(3)$ との差の電圧、即ち $V_{in}(3) - V_b \times N_4 / N_1$ の電圧が印加されて、インダクタ31を流れる電流は減少する。また、この時インダクタ31を流れる電流は、

【数2】

35 の1次巻線41には、 V_b の電圧が印加され、トランス40の制御巻線45には、 $V_b \times N_4 / N_1$ なる電圧が発生する。

【0015】以上のような動作を繰り返すと同時に制御回路80は、整流平滑回路60の出力電圧が所定の電圧になるように、第1から第4のスイッチ素子51～54以降の回路で構成されるフルブリッヂ回路の、第1から第4のスイッチ素子51～54のオン・オフの期間を変えて制御する。図21は、本発明の図1に示した第1の実施例の動作タイミングを示す波形図である。同図45 (a)は、第1のスイッチ素子51と第4のスイッチ素子54のオン・オフのタイミングを示し、 T_1 の期間だけオンしている。同図(b)は、第2のスイッチ素子52と第3のスイッチ素子53のオン・オフのタイミングを示し、 T_2 の期間だけオンしている。同図(c)はc50 点の電位を示し、同図(d)はd点の電位を示し、同図

(e) はc点とd点の電位差を示している。同図(f)はトランス40の制御巻線45に発生する電圧、即ち V_{c-d} を示し、同図(g)はインダクタ31を流れる電流を示している。また、図22は本発明の第1の実施例の動作波形図である。同図(a)は全波整流器20の出力電圧 V_{in} (3)の波形図であり、同図(b)は全波整流器20の出力電流 I_{in} (3)の波形図であり、同図(c)は同図(b)の出力電流 I_{in} (3)の一部拡大波形図である。ここで、図中、 t_1 の期間にインダクタ31を流れる電流は前述の式1で増加するので、第1から第4のスイッチ素子51～54が高周波でオン・オフする1周期の間にインダクタ31を流れる電流は、必ず零アンペアにもどるように各部の定数を設定すると、高周波でオン・オフする各1周期でのインダクタ31の電流のピーク値 I_L (peak)は、

【数3】

$$I_L \text{ (peak)} = \frac{V_{in}(3)}{L_{s1}} \cdot t_1 \quad \dots \quad (3)$$

となる。

【0016】そこで、 V_{in} (3)は、正弦波であるので、上式より、インダクタ31の電流のピーク値 I_L (peak)を結んだ線も正弦波となり、インダクタ31を流れる電流は、図22(b)に示すようになり、その高周波スイッチングの1周期における平均値 I_L (ave)も、ほぼ正弦波となる。即ち、高周波で増減しているインダクタ31の電流に対して全波整流器20の直前か、又は直後に高周波リップル除去用のローパスフィルタを使用することにより、商用入力電流波形を近似的に正弦波にすることことができ、力率を高くすることができる。以上のように、図1に示す第1の実施例では、本願発明者等による先願発明の回路と同様に、力率の高い電源となっているが、スイッチ素子に印加される電圧は、先願発明の回路では平滑コンデンサ30の約2倍の電圧が印加されるのに対して、本発明の図1に示した第1の実施例では平滑コンデンサ30の電圧と同じ電圧だけ印加されるので、スイッチ素子として、低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0017】図2は本発明の第2の実施例である。図2の構成が図1の実施例と異なる点は、図1の第3のスイッチ素子53と第3のダイオード57の代わりに、第1の平滑コンデンサ33を用い、第4のスイッチ素子54と第4のダイオード58の代わりに、第2の平滑コンデンサ34を用い、図1の平滑コンデンサ30は使用していない点である。図2の実施例の動作は図1の実施例の動作と大略同じであるが、第1のコンデンサ33と第2のコンデンサ34のキャパシタンス値が同じであると、図2の中のe点の電位は、b点の電位 V_b の1/2に固定され、そのために、トランス40の1次巻線41の端

子間に印加される電圧が、図1の実施例の当該端子間の印加電圧の1/2になることである。そこで、トランス40の制御巻線45の巻数N4を、その1次巻線41の巻数N1の2倍に設定すれば、制御巻線45に発生する電圧は図1の実施例と同じくすることができる。

【0018】また、図1の平滑コンデンサ30の役割は、図2の第2の平滑コンデンサ33と、第2の平滑コンデンサ34の直列回路が果たしており、また、図1における第3のスイッチ素子53または第3のダイオード

10 57を流れる電流は、図2では第1の平滑コンデンサ33を流れ、図1での第4のスイッチ素子54または第4のダイオード58を流れる電流は、図2では第2の平滑コンデンサを流れる。以上のような動作を繰り返すと同時に、制御回路80は整流平滑回路60の出力電圧が所

15 定の電圧になるように、第1、第2のスイッチ素子51、52以降の回路で構成されるハーフブリッヂ回路の、第1、第2のスイッチ素子51、52のオン・オフ期間を変えて制御している。

【0019】このように、図2に示す第2の実施例は、20 図1に示す第1の実施例と同様に、力率の高い電源となっていると同時に、第1および第2のスイッチ素子51、52に印加される電圧が、第1の平滑コンデンサ33と、第2の平滑コンデンサ34の直列回路で構成される入力平滑回路の電圧 V_b と同じ電圧だけであるので、

25 スイッチ素子として、低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0020】図3は本発明の第3の実施例である。図3の構成が、図2の実施例と異なる点は、図2の第1の平

30 滑コンデンサ33と、第2の平滑コンデンサ34の直列回路の代わりに、平滑コンデンサ30が使用され、さらに、コンデンサ59がトランス40の1次巻線41と該平滑コンデンサ30の間に接続されていることである。この動作は図2の回路と基本動作は同じであり、異なる

35 のはトランス40のもれインダクタと、コンデンサ59が直列接続のため、そこを流れる電流が共振電流となり、正弦波形となるため、第1と第2のスイッチ素子51、52でのスイッチング損失が減るという効果がある。その他の動作は図2の第2の実施例と同様に、力率

40 の高い電源となっていると同時に、スイッチ素子として、低耐圧で、オン抵抗の低いものを用いることができるので、スイッチング電源としての効率を高くすることができる。

【0021】図4は本発明の第4の実施例である。図4の構成が、図2の実施例と異なる点は、図2の第1および第2の平滑コンデンサ33、34の直列回路の代りに平滑コンデンサ30が使用され、さらに、トランス40の1次巻線を第1の1次巻線41と第2の1次巻線46とし、第1の1次巻線41と第1のスイッチ素子51の直列回路と、第2の1次巻線と第2のスイッチ素子52

の直列回路をそれぞれ平滑コンデンサ 3 0 の両端子間に接続したものである。図 4 の実施例の動作は、図 2 の第 2 の実施例の動作と大略同じであるが、異なる点は、第 2 の実施例では、第 1 のスイッチ素子 5 1 又は第 2 のスイッチ素子 5 2 がオンする時に第 1 のコンデンサ 3 3 と、第 2 の平滑コンデンサ 3 4 の直列接続で構成される平滑コンデンサの電圧 V_b の $1/2$ の電圧がトランス 4 0 の 1 次巻線 4 1 に印加されるのに対して、図 4 の第 4 の実施例では第 1 のスイッチ素子 5 1 または第 2 のスイッチ素子 5 2 がオンする時に、トランス 4 0 の第 1 の 1 次巻線 4 1 、または第 2 の 1 次巻線 4 6 には平滑コンデンサ 3 0 の電圧 V_b がそのまま印加されることである。

【0022】以上のような動作を繰り返すと同時に、制御回路 8 0 は整流平滑回路 6 0 の出力電圧が所定の電圧になるように、第 1 、第 2 のスイッチ素子 5 1 、 5 2 以降の回路で構成されるブッシュブル回路の、第 1 、第 2 のスイッチ素子 5 1 、 5 2 のオン・オフの期間を変えて制御している。おな、図 4 の第 4 の実施例においては、第 1 の 1 次巻線 4 1 の巻数 N_{1-1} と第 2 の 1 次巻線 4 6 の巻数 N_{2-2} と同じくし、制御巻線 4 5 の巻数 N_4 を第 1 および第 2 の 1 次巻線の巻数と同じくすれば、制御巻線 4 5 に発生する電圧は、図 2 の実施例と同じになる。従って、図 4 に示す第 4 の実施例も、図 2 の実施例と同様に力率の高い電源となっていると同時に、第 1 および第 2 のスイッチ素子 5 1 、 5 2 に印加される電圧が、平滑コンデンサ 3 0 の電圧 V_b と同じ電圧だけであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができるので、スイッチング電源としての効率を高くすることができる。

【0023】図 5 は本発明の第 5 の実施例である。図 5 の構成が、図 3 の実施例と異なるのは、図 3 では平滑コンデンサ 3 0 を使用しているのに対し、図 5 では、第 1 の平滑コンデンサ 3 5 と、第 2 の平滑コンデンサ 3 6 の直列回路を使用しており、さらに、第 1 の平滑コンデンサ 3 5 と第 2 のコンデンサ 3 6 の接続点と交流電源 1 0 との間に、スイッチ 3 7 を接続しており、また、図 3 では全波整流器 2 0 と平滑コンデンサ 3 0 の間に、インダクタ 3 1 とトランス 4 0 の制御巻線 4 5 が接続されているのに対し、図 5 では、全波整流器 2 0 と第 1 の平滑コンデンサ 3 5 との間に第 1 のインダクタ 3 1 とトランス 4 0 の第 1 の制御巻線 4 5 の直列回路が接続され、全波整流器 2 0 と第 2 の平滑コンデンサ 3 6 の間に、第 2 のインダクタ 3 8 とトランス 4 0 の第 2 の制御巻線 4 7 が接続されている点である。

【0024】図 5 の動作は大略、図 3 の動作と同じであるが、異なる点は、図 5 では、交流電源 1 0 の実効電圧が高い時にはスイッチ 3 7 をオフさせ、低い時にはオンさせて使用することである。このようにすると、まず、交流電源 1 0 の実効電圧が高くて、スイッチ 3 7 がオフの時には、図 5 の第 1 のインダクタ 3 1 と第 2 のインダ

クタ 3 8 のインダクタンスをそれぞれ図 3 のインダクタ 3 1 の $1/2$ に設定し、また、トランス 4 0 の第 1 の制御巻線 4 5 と第 2 の制御巻線 4 7 の巻数をそれぞれ図 3 の制御巻線 4 5 の $1/2$ に設定しておくと、図 5 の第 1 05 のインダクタ 3 1 と第 2 のインダクタ 3 8 、およびトランス 4 0 の第 1 の制御巻線 4 5 と第 2 の制御巻線 4 7 は、図 3 のインダクタ 3 1 と、制御巻線 4 5 がそれぞれ全波整流器 2 0 と平滑コンデンサ 3 0 との間で、上下に分散された形となるが、回路動作は同じである。

10 【0025】一方、交流電源 1 0 の実効電圧が低く、スイッチ 3 7 をオンさせた時の動作は交流電源 1 0 の極性が図 5 に示す期間には、交流電源 1 0 から全波整流器 2 0 のダイオード 2 1 、第 1 のインダクタ 3 1 、第 1 の制御巻線 4 5 、第 1 の平滑コンデンサ 3 5 、スイッチ 3 7 15 を通って交流電源 1 0 にもどる第 1 の経路ができる。また、交流電源 1 0 の極性が図 5 に示す極性と逆の期間には、交流電源 1 0 からスイッチ 3 7 、第 2 の平滑コンデンサ 3 6 、第 2 の制御巻線 4 7 、第 2 のインダクタ 3 8 、全波整流器 2 0 のダイオード 2 2 を通って交流電源 20 1 0 にもどる第 2 の経路ができる。これらの第 1 の経路と第 2 の経路は、図 3 において、交流電源 1 0 から全波整流器 2 0 、インダクタ 3 1 、制御巻線 4 5 、平滑コンデンサ 3 0 から交流電源 1 0 へもどる経路と同じ動作をする。

25 【0026】そこで、交流電源 1 0 の実効電圧が低い時に、スイッチ 3 7 をオンさせると、スイッチ 3 7 をオフさせておいた時に第 1 の平滑コンデンサ 3 5 と、第 2 の平滑コンデンサ 3 6 の直列回路の端子間に発生する電圧と大略同様の電圧を、第 1 の平滑コンデンサ 3 5 と、第 30 2 の平滑コンデンサ 3 6 のそれぞれの端子間に発生させることができ、その結果、交流電源 1 0 の実効電圧が低い時にも、第 1 の平滑コンデンサ 3 5 と、第 2 の平滑コンデンサ 3 6 の直列回路の端子間電圧を大略 2 倍に大きくすることができる。

35 【0027】そのため、一般に入力電圧の低い時には、平滑コンデンサの電圧も低くなり、同じ電力をとるためには、大電流を必要とするが、図 5 の実施例は図 3 の実施例と比較して、入力電源 1 0 の電圧の低い時にも、平滑コンデンサ 3 5 、 3 6 の電圧を高く維持しているの 40 で、大電流が流れないという特徴をもっている。一方、図 5 の第 5 の実施例の DC/DC コンバータ部の構成は、図 3 の第 3 の実施例のものと同じであるので、図 3 の第 3 の実施例と同様に、力率の高い電源である。また、それと同時に、第 1 のスイッチ素子 5 1 と第 2 のスイッチ素子 5 2 に印加される電圧は、第 1 の平滑コンデンサ 3 5 と第 2 の平滑コンデンサ 3 6 の直列回路の端子間電圧と同じ電圧であるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができるので、スイッチング電源としての効率を高くすることができる。

45 【0028】図 6 は本発明の第 6 の実施例である。この

実施例は、図1に示した実施例と基本回路構成を同じくするもので、図1の構成と異なる図6の構成は、制御巻線45と直列にコンデンサ91を接続し、さらに制御巻線45とコンデンサ91の直列回路と並列にダイオード92を接続している点である。図6の実施例の動作は、第1のスイッチ素子51と第4のスイッチ素子54がオンで、第2のスイッチ素子52と第3のスイッチ素子53がオフの場合、インダクタ31の電流はコンデンサ91を介してトランス40の制御巻線45と平滑コンデンサ30を通って流れるので、コンデンサ91がその電流によって充電され、その電圧が平滑コンデンサ30の電圧よりも高くなると、インダクタ31の電流はダイオード72を通って、平滑コンデンサ30に流れ込む。即ち、第1のスイッチ素子51と第4のスイッチ素子54がオンしているにもかかわらず、インダクタ31の昇圧時間が短くなり、これは、入力電圧 V_{in} (3)が高いほど昇圧時間は短くなる。

【0029】また、第1のスイッチ素子51と第4のスイッチ素子54がオフし、第2のスイッチ素子52と第3のスイッチ素子53がオンする期間には、インダクタ31の電流は、ダイオード92を介して平滑コンデンサ30に流れ込み、また同時にトランス40の制御巻線45によってコンデンサ91は逆方向に充電され、電圧が下がる。即ち、図6の構成では、インダクタ31の昇圧時間は、入力電圧 V_{in} (3)が高いほど短くなるため、インダクタ31の電流が、第1から第4のスイッチ素子51～54がオン・オフ動作をしている一周期で、零アンペアに戻らないところのインダクタ31の電流連続モードであっても、入力電流 I_{in} (3)が、概ね正弦波に対応した波形となり、力率を高くすることができる。また、図6の構成は図1の実施例と同様に、第1～第4のスイッチ素子51～54に印加される電圧は平滑コンデンサ30の電圧と同じであるので、スイッチ素子として低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0030】図7は本発明の第7の実施例である。この実施例は、図2に示した実施例と基本回路構成を同じくするもので、図2の構成と異なる図7の構成は、制御巻線45と直列にコンデンサ91を接続し、さらに制御巻線45とコンデンサ91の直列回路と並列にダイオード92を接続している点である。この図7におけるコンデンサ91とダイオード92を付加した回路の動作は、図6におけるコンデンサ91とダイオード92の動作と同じであり、インダクタ31の電流が連続モードとなり、入力電流 I_{in} (3)が概ね正弦波に対応した波形となり、力率を高くすることができる。また、図7の構成は図2の実施例と同様に第1および第2のスイッチ素子51、52に印加される電圧は、第1の平滑コンデンサ33と第2の平滑コンデンサ34の直列接続された平滑コンデンサの電圧と同じであるので、スイッチ素子として

低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0031】図8は本発明の第8の実施例である。この実施例は、図3に示した実施例と基本回路構成を同じくするもので、図3の構成と異なる図8の構成は、制御巻線45と直列にコンデンサ91を接続し、さらに制御巻線45とコンデンサ91の直列回路と並列にダイオード92を接続している点である。この図8におけるコンデンサ91とダイオード92を付加した回路の動作は、図6におけるコンデンサ91とダイオード92の動作と同じであり、インダクタ31の電流が連続モードとなり、入力電流 I_{in} (3)が概ね正弦波に対応した波形となり、力率を高くすることができる。また、図8の構成は図3の実施例と同様に第1および第2のスイッチ素子51、52に印加される電圧は、平滑コンデンサ30の電圧と同じであるので、スイッチ素子として低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0032】図9は本発明の第9の実施例である。この実施例は、図4に示した実施例と基本回路構成を同じくするもので、図4の構成と異なる図9の構成は、制御巻線45と直列にコンデンサ91を接続し、さらに制御巻線45とコンデンサ91の直列回路と並列にダイオード92を接続している点である。この図9におけるコンデンサ91とダイオード92を付加した回路の動作は、図6におけるコンデンサ91とダイオード92の動作と同じであり、インダクタ31の電流が連続モードとなり、入力電流 I_{in} (3)が概ね正弦波に対応した波形となり、力率を高くすることができる。また、図9の構成は図4の実施例と同様に第1および第2のスイッチ素子51、52に印加される電圧は、平滑コンデンサ30の電圧と同じであるので、スイッチ素子として低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0033】図10は本発明の第10の実施例である。この実施例は、図5に示した実施例と基本回路構成を同じくするもので、図5の構成と異なる図10の構成は、第1の制御巻線45と直列に第2のコンデンサ91を接続し、第1の制御巻線45と第2のコンデンサ91の直列回路と並列に第3のダイオード92を接続し、また第2の制御巻線47と直列に第3のコンデンサ93を接続し、第2の制御巻線47と第3のコンデンサ93の直列回路と並列に第4のダイオード94を接続している点である。

【0034】図10における第2のコンデンサ91と第3のダイオード92、および第3のコンデンサ93と第4のダイオード94を付加した回路の動作は、図6におけるコンデンサ91とダイオード92の動作と同じであり、第1のインダクタ31と第2のインダクタ38の電流が連続モードとなり、入力電流 I_{in} (3)が概ね正弦

波に対応した波形となり、力率を高くすることができます。また、図10の構成は、図5の実施例と同様に第1のスイッチ素子51と第2のスイッチ素子52に印加される電圧が、第1の平滑コンデンサ35と第2の平滑コンデンサ36の直列回路の端子間電圧と同じであるので、スイッチ素子として低耐圧で、オン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0035】図11は本発明の第11の実施例である。この実施例は、図1に示した実施例と基本回路構成を同じくするもので、図1の構成と異なる図11の構成は、第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続し、第3のスイッチ素子53と並列に第3のコンデンサ97を接続し、第4のスイッチ素子54と並列に第4のコンデンサ98を接続している点である。このような構成にすることにより、第1から第4のコンデンサ95～98は、それぞれトランジスタ40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95～98はそれが並列に接続されているスイッチ素子51～54のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子51～54の端子間電圧が零ボルトまで下がってから、そのスイッチ素子51～54をオンさせると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができます。また、図11のその他の構成部分は、図1の構成と同じであるので、前記の効果の他に図1の実施例と同じ効果を得ることができます。即ち、図11の構成は図1の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51～54に印加される電圧が平滑コンデンサ30の電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができます。

【0036】図12は本発明の第12の実施例である。この実施例は、図2に示した実施例と基本回路構成を同じくするもので、図2の構成と異なる図12の構成は、第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続している点である。このような構成にすることにより、第1と第2のコンデンサ95、96は、それぞれトランジスタ40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95、96はそれが並列に接続されているスイッチ素子51、52のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子51、52の端子間電圧が零ボルトまで下がってから、そのスイッチ素子51、52をオンさせると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができます。

させるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができます。また、図12のその他の構成部分は、図2の構成と同じであるので、前記の効果の他に図2の実施例と同じ効果を得ることができます。即ち、図12の構成は図2の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51、52に印加される電圧が、第1の平滑コンデンサ33と第2の平滑コンデンサ34の直列回路で構成される平滑コンデンサの端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができます。

【0037】図13は本発明の第13の実施例である。この実施例は、図3に示した実施例と基本回路構成を同じくするもので、図3の構成と異なる図13の構成は、第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続している点である。このような構成にすることにより、第1と第2のコンデンサ95、96は、それぞれトランジスタ40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95、96はそれが並列に接続されているスイッチ素子51、52のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができます。そこで、それぞれのスイッチ素子51、52の端子間電圧が零ボルトまで下がってから、そのスイッチ素子51、52をオンさせると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができます。また、図13のその他の構成部分は、図3の構成と同じであるので、前記の効果の他に図3の実施例と同じ効果を得ることができます。即ち、図13の構成は図3の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51、52に印加される電圧が、平滑コンデンサ30の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができます。

【0038】図14は本発明の第14の実施例である。この実施例は、図4に示した実施例と基本回路構成を同じくするもので、図4の構成と異なる図14の構成は、第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続している点である。このような構成にすることにより、第1と第2のコンデンサ95、96は、それぞれトランジスタ40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95、96はそれが並列に接続されているスイッチ素子51、52のオフの期間にそのスイッチ素子の端子間電圧を共振によ

つて、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子51、52の端子間電圧が零ボルトまで下がってから、そのスイッチ素子をオンさせようとすると、そのスイッチ素子51、52のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図14のその他の構成部分は、図4の構成と同じであるので、前記の効果の他に図4の実施例と同じ効果を得ることができ。即ち、図14の構成は図4の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51、52に印加される電圧が、平滑コンデンサ30の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0039】図15は本発明の第15の実施例である。この実施例は、図5に示した実施例と基本回路構成を同じくするもので、図5の構成と異なる図15の構成は、第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続している点である。このような構成にすることにより、第1と第2のコンデンサ95、96は、それぞれトランス40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95、96はそれが並列に接続されているスイッチ素子51、52のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子51、52の端子間電圧が零ボルトまで下がってから、そのスイッチ素子51、52をオンさせようとすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図15のその他の構成部分は、図5の構成と同じであるので、前記の効果の他に図5の実施例と同じ効果を得ることができ。即ち、図15の構成は図5の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51、52に印加される電圧が、第1の平滑コンデンサ35と第2の平滑コンデンサ36の直列回路で構成される平滑コンデンサの端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0040】図16は本発明の第16の実施例である。この実施例は、図6に示した実施例と基本回路構成を同じくするもので、図6の構成と異なる図16の構成は、第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続し、第3のスイッチ素子53と並列に第3のコンデンサ97を接続し、第4のスイッチ素子54と並列に第4のコンデンサ98を接続している点であ

る。このような構成にすることにより、第1から第4のコンデンサ95～98は、それぞれトランス40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95～98はそれが並列に接続されているスイッチ素子51～54のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子51～54の端子間電圧が零ボルトまで下がってから、そのスイッチ素子51～54をオンさせようとすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができ。また、図16のその他の構成部分は、図6の構成と同じであるので、前記の効果の他に図6の実施例と同じ効果を得ることができ。即ち、図16の構成は図6の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51～54に印加される電圧が、平滑コンデンサ30の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0041】図17は本発明の第17の実施例である。この実施例は、図7に示した実施例と基本回路構成を同じくするもので、図7の構成と異なる図17の構成は、第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続している点である。このような構成にすることにより、第1と第2のコンデンサ95、96は、それぞれトランス40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95、96はそれが並列に接続されているスイッチ素子51、52のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子51、52の端子間電圧が零ボルトまで下がってから、そのスイッチ素子51、52をオンさせようとすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図17のその他の構成部分は、図7の構成と同じであるので、前記の効果の他に図7の実施例と同じ効果を得ることができ。即ち、図17の構成は図7の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51、52に印加される電圧が、第1の平滑コンデンサ33と第2の平滑コンデンサ34の直列回路で構成される平滑コンデンサの端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0042】図18は本発明の第18の実施例である。この実施例は、図8に示した実施例と基本回路構成を同じくするもので、図8の構成と異なる図18の構成は、

第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続している点である。このような構成にすることにより、第1と第2のコンデンサ95, 96は、それぞれトランス40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95, 96はそれが並列に接続されているスイッチ素子51, 52のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子51, 52の端子間電圧が零ボルトまで下がってから、そのスイッチ素子51, 52をオンさせるようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図18のその他の構成部分は、図8の構成と同じであるので、前記の効果の他に図8の実施例と同じ効果を得ることができる。即ち、図18の構成は図8の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51, 52に印加される電圧が、平滑コンデンサ30の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0043】図19は本発明の第19の実施例である。この実施例は、図9に示した実施例と基本回路構成を同じくするもので、図9の構成と異なる図19の構成は、第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続している点である。このような構成にすることにより、第1と第2のコンデンサ95, 96は、それぞれトランス40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95, 96はそれが並列に接続されているスイッチ素子51, 52のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子51, 52の端子間電圧が零ボルトまで下がってから、そのスイッチ素子51, 52をオンさせないようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。また、図19のその他の構成部分は、図9の構成と同じであるので、前記の効果の他に図9の実施例と同じ効果を得ることができる。即ち、図19の構成は図9の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51, 52に印加される電圧が、平滑コンデンサ30の端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0044】図20は本発明の第20の実施例である。

この実施例は、図10に示した実施例と基本回路構成を同じくするもので、図10の構成と異なる図20構成は、第1のスイッチ素子51と並列に第1のコンデンサ95を接続し、第2のスイッチ素子52と並列に第2のコンデンサ96を接続している点である。このような構成にすることにより、第1と第2のコンデンサ95, 96は、それぞれトランス40のもれインダクタンスと直列共振回路を構成し、それぞれのコンデンサ95, 96はそれが並列に接続されているスイッチ素子51, 52のオフの期間にそのスイッチ素子の端子間電圧を共振によって、零ボルトまで下げることができる。そこで、それぞれのスイッチ素子51, 52の端子間電圧が零ボルトまで下がってから、そのスイッチ素子51, 52をオンさせないようにすると、そのスイッチ素子のターン・オン時のスイッチング損失を減らすことができ、スイッチング電源としての効率を上げることができる。

【0045】また、図20のその他の構成部分は、図10の構成と同じであるので、前記の効果の他に図10の実施例と同じ効果を得ることができる。即ち、図20の構成は図10の実施例と同様に、力率の高いスイッチング電源であると同時に、スイッチ素子51, 52に印加される電圧が、第1の平滑コンデンサ33と第2の平滑コンデンサ34の直列回路で構成される平滑コンデンサの端子間電圧と同じであるので、スイッチ素子として低耐圧でオン抵抗の低いものを用いることができ、スイッチング電源としての効率を高くすることができる。

【0046】

【発明の効果】以上のように、本発明によれば、従来の交流入力スイッチング電源に対し、本願発明者等が以前に発明した先願発明（特願平5-177379号）の回路と同様に力率を高くすることができ、さらにこの先願発明の回路ではスイッチ素子に印加される電圧が、平滑コンデンサの約2倍であるのに対して、本発明の回路ではスイッチ素子に印加される電圧が平滑コンデンサの電圧と同じ電圧であるので、スイッチ素子として、低耐圧でオン抵抗のものを使用することができ、その結果、スイッチ素子での電力損失が減って、スイッチング電源の高効率化を図ることができる。

【図面の簡単な説明】

40 【図1】本発明の第1の実施例の回路図である。
 【図2】本発明の第2の実施例の回路図である。
 【図3】本発明の第3の実施例の回路図である。
 【図4】本発明の第4の実施例の回路図である。
 【図5】本発明の第5の実施例の回路図である。
 45 【図6】本発明の第6の実施例の回路図である。
 【図7】本発明の第7の実施例の回路図である。
 【図8】本発明の第8の実施例の回路図である。
 【図9】本発明の第9の実施例の回路図である。
 【図10】本発明の第10の実施例の回路図である。
 50 【図11】本発明の第11の実施例の回路図である。

【図 1 2】本発明の第 1 2 の実施例の回路図である。

【図 1 3】本発明の第 1 3 の実施例の回路図である。

【図 1 4】本発明の第 1 4 の実施例の回路図である。

【図 1 5】本発明の第 1 5 の実施例の回路図である。

【図 1 6】本発明の第 1 6 の実施例の回路図である。

【図 1 7】本発明の第 1 7 の実施例の回路図である。

【図 1 8】本発明の第 1 8 の実施例の回路図である。

【図 1 9】本発明の第 1 9 の実施例の回路図である。

【図 2 0】本発明の第 2 0 の実施例の回路図である。

【図 2 1】本発明の第 1 の実施例の動作タイミングを示す波形図である。

【図 2 2】本発明の第 1 の実施例の動作波形図である。

【図 2 3】従来の交流入力スイッチング電源の回路図である。

【図 2 4】従来の交流入力スイッチング電源の入力電圧電流の波形図である。

【図 2 5】本願発明者等の発明に係る先願発明の回路図である。

【図 2 6】本願発明者等の発明に係る先願発明の動作波

形図である。

【符号の説明】

10 商用電源

20 全波整流器

05 21~24, 32, 55~58, 61, 62, 92, 9

4 ダイオード

30, 35, 36, 64 平滑コンデンサ

31, 63 インダクタ

37 スイッチ

10 40 トランス

41, 46 トランスの 1 次巻線

42, 44 トランスの 2 次巻線

43 トランスの 3 次巻線

45, 46, 47 制御巻線

15 50~54 スイッチ素子

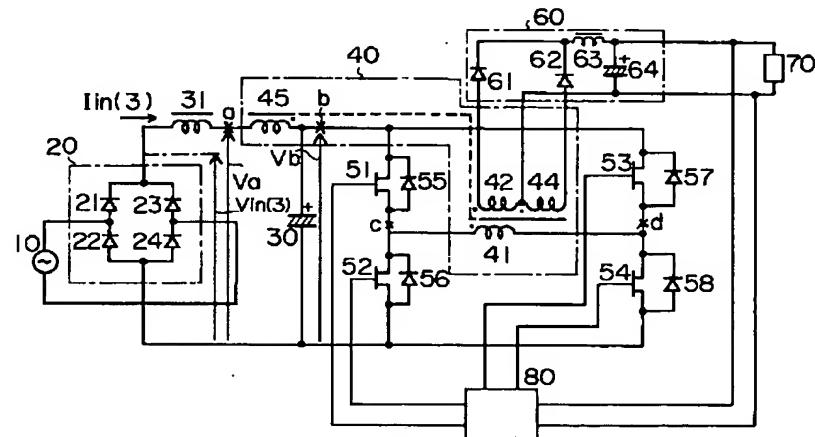
59, 91, 93, 95~98 コンデンサ

60 整流平滑回路

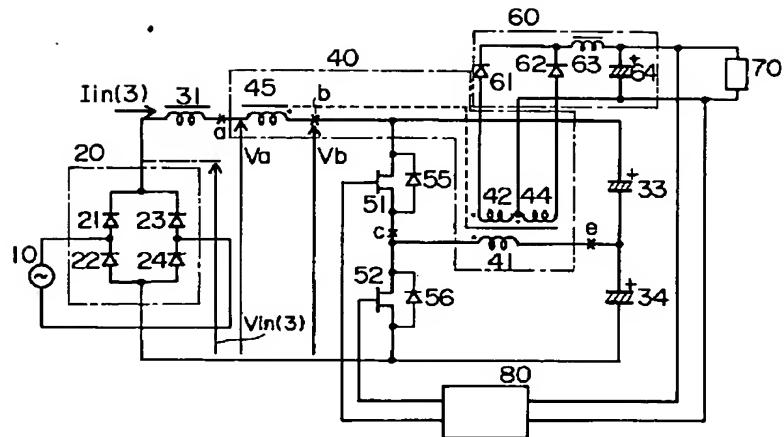
70 負荷

80 制御回路

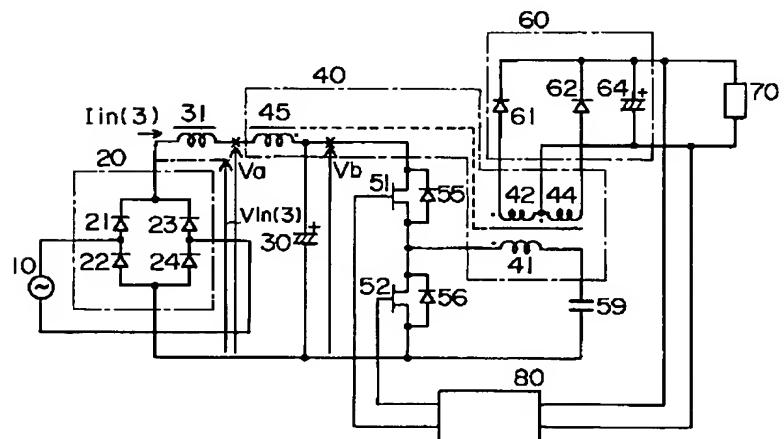
【図 1】



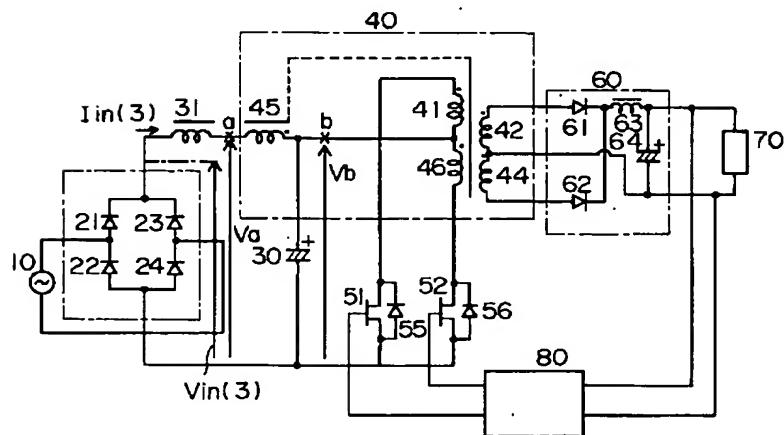
【図 2】



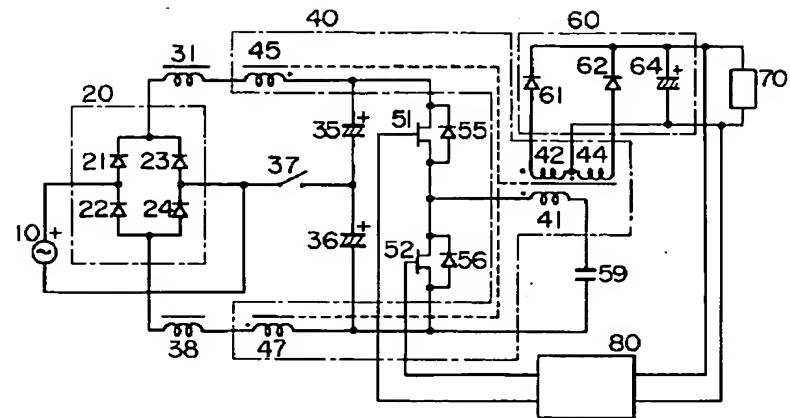
【図 3】



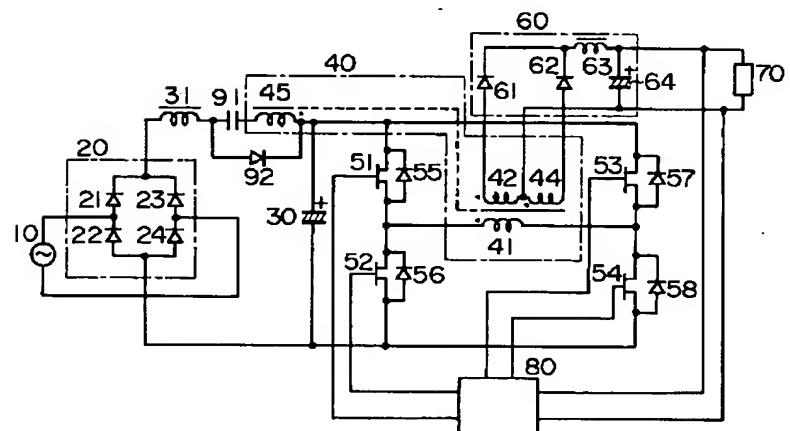
【図 4】



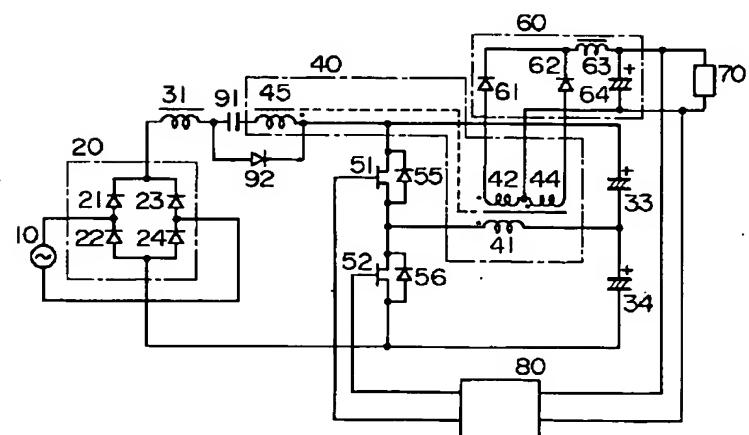
【図 5】



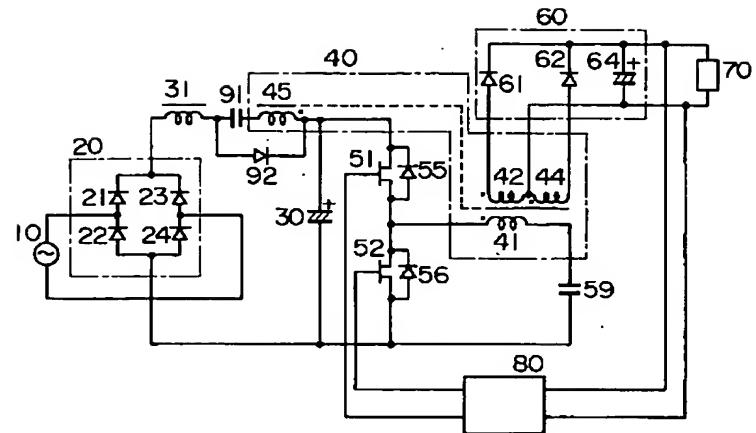
【図 6】



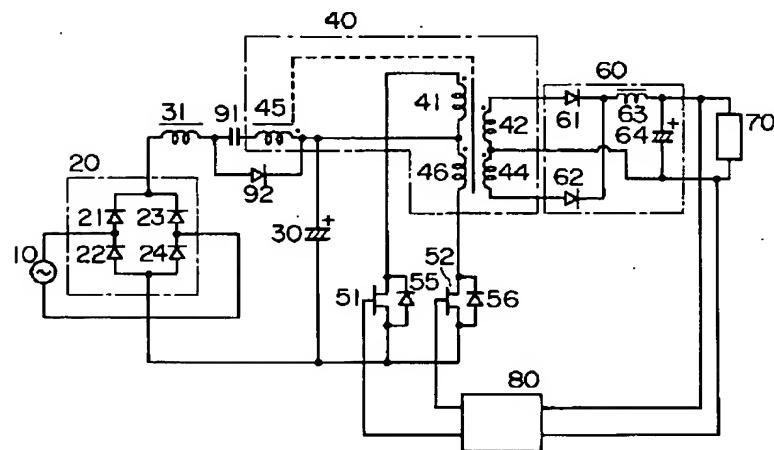
【図 7】



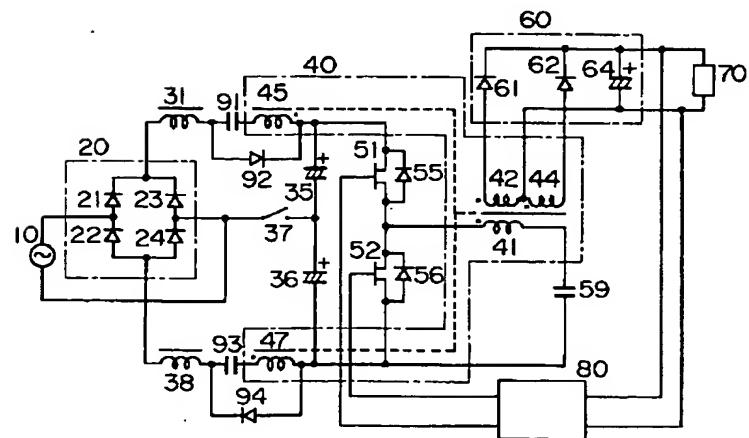
【図8】



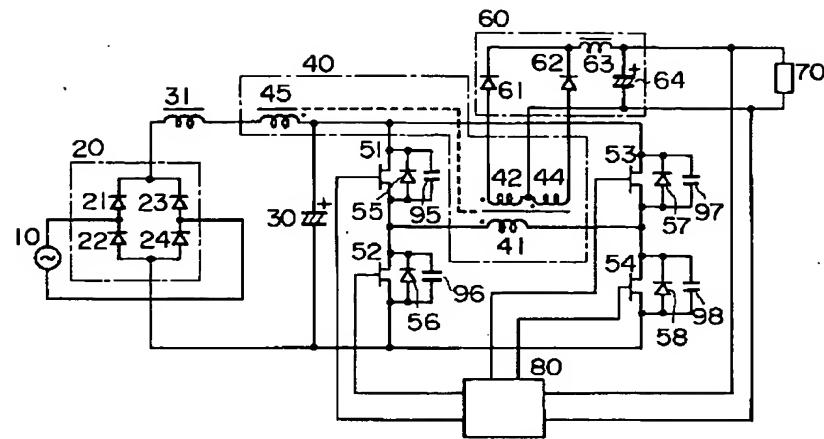
【図9】



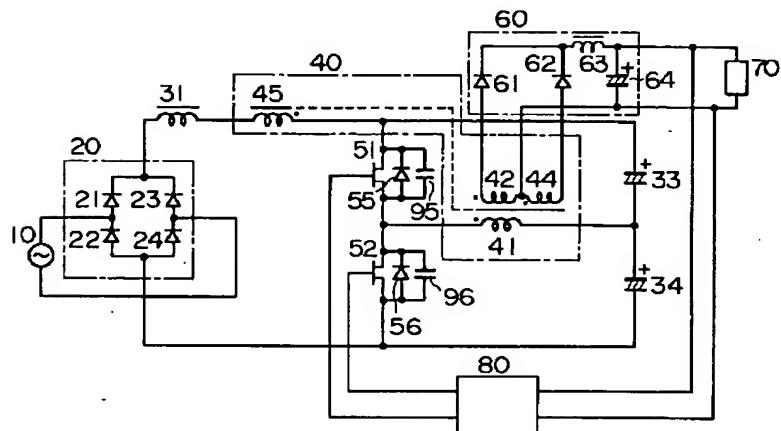
【図10】



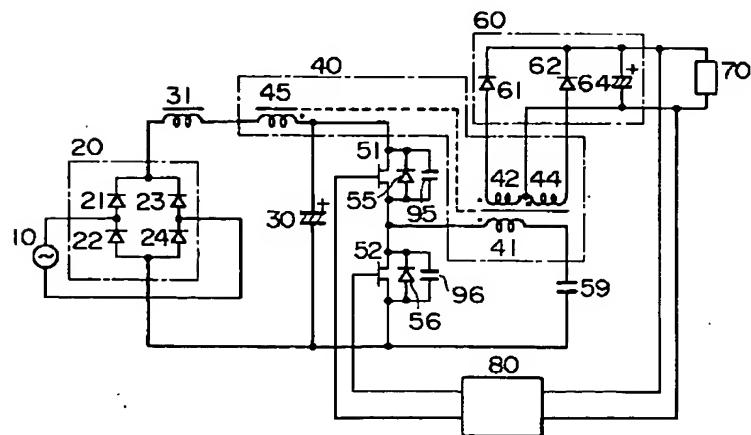
【図 1 1】



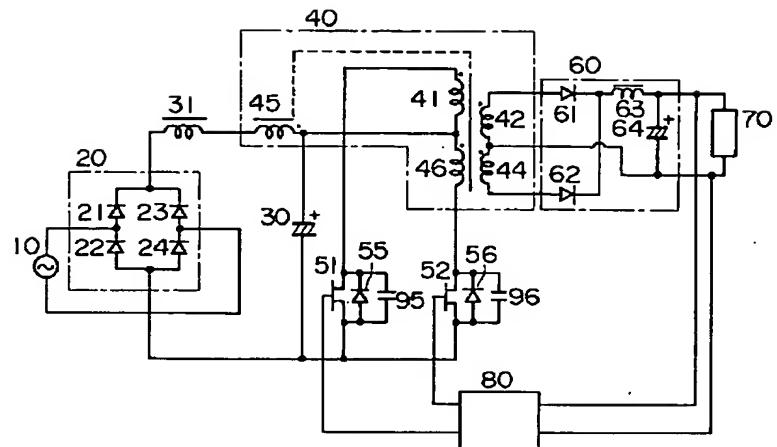
【図 1 2】



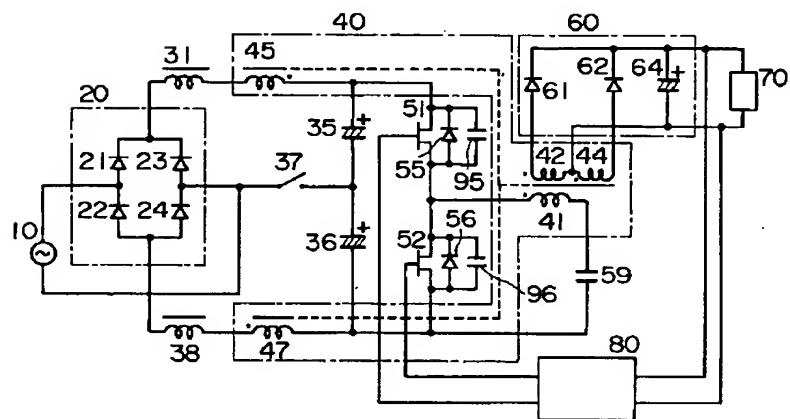
【図 1 3】



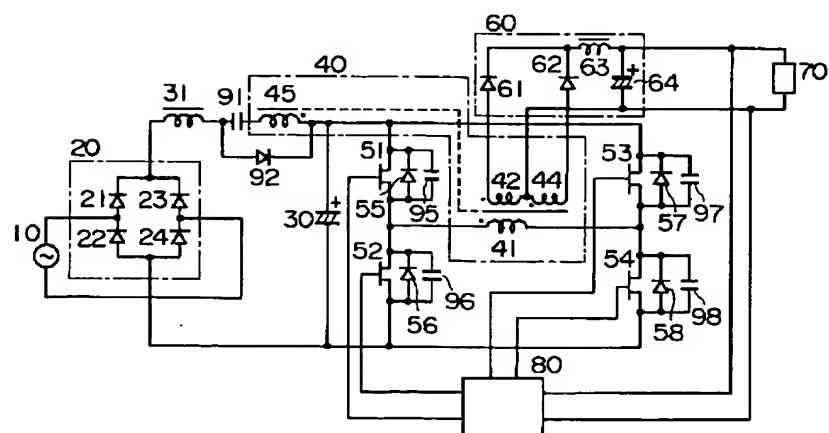
【図 1 4】



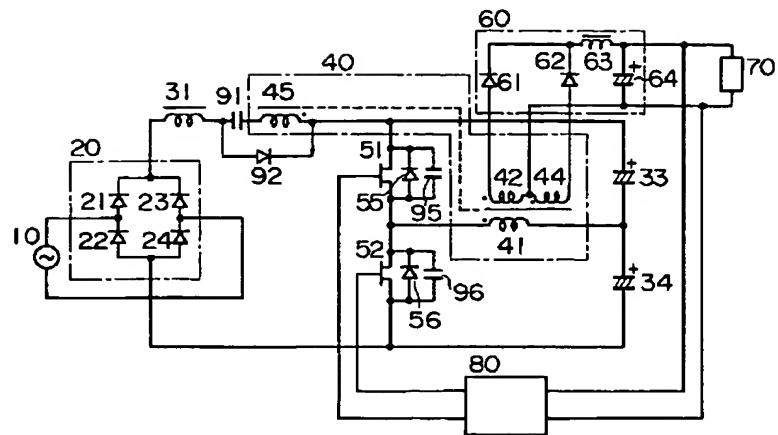
【図 1 5】



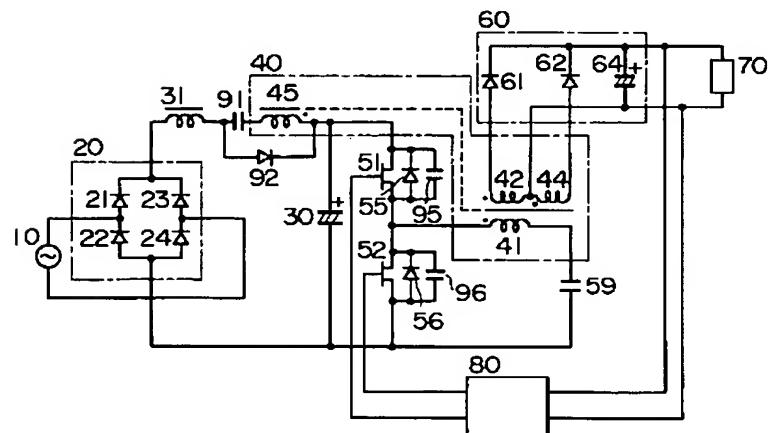
【図 1 6】



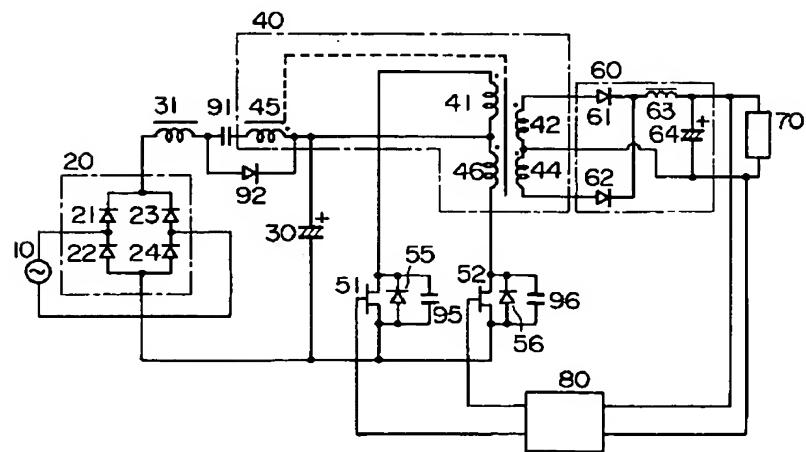
【図 17】



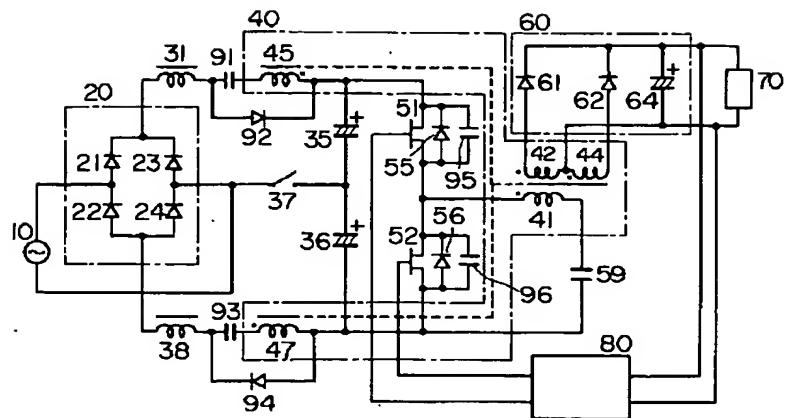
【図 18】



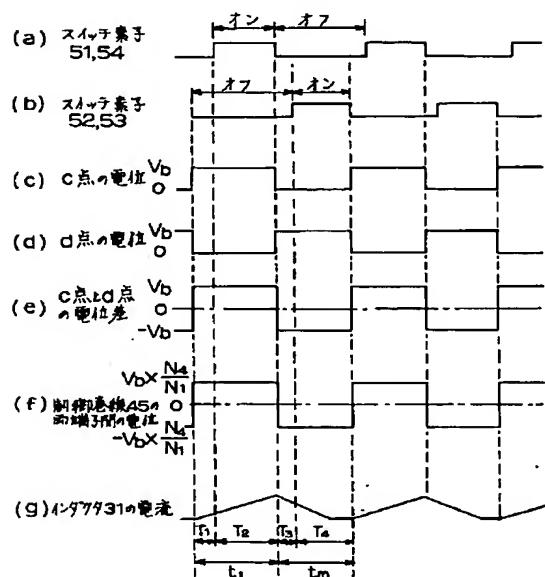
【図 19】



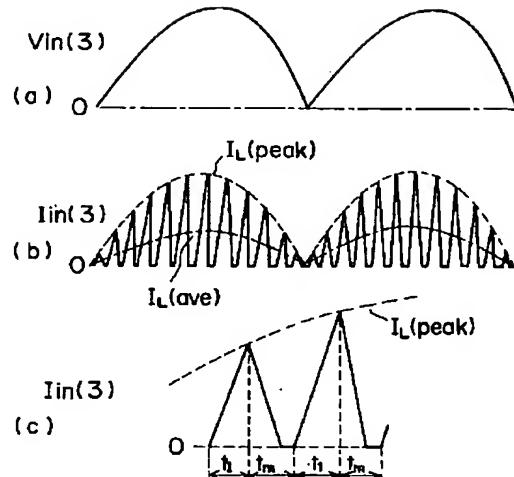
【図 20】



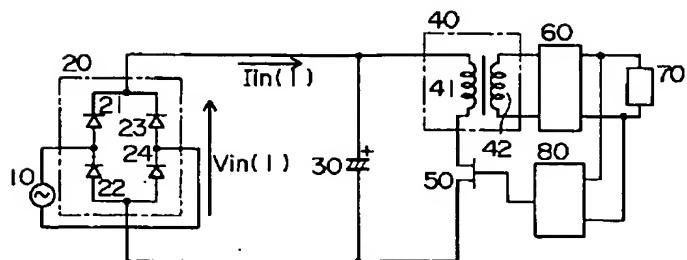
【図 21】



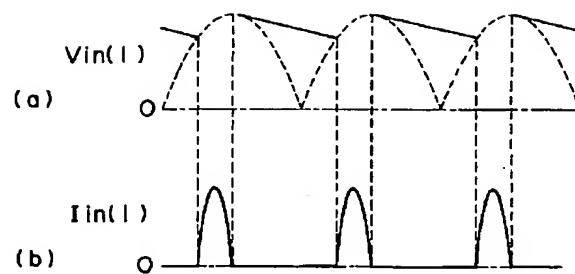
【図 22】



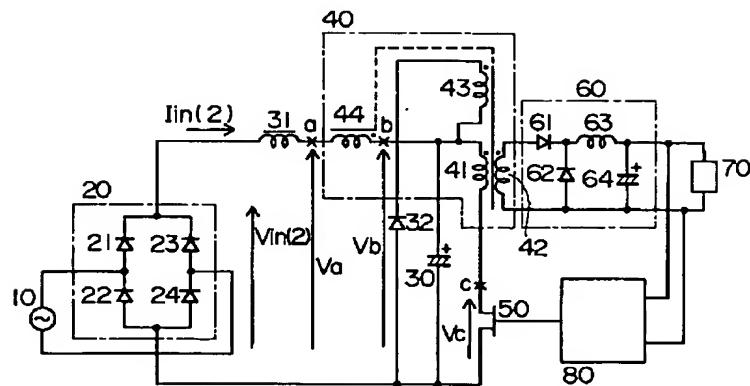
【図 23】



【図 24】



【図 25】



【図 26】

